TESTBENCHER PRO

テストベンチ・オートメーションの新世代...

自由自在なテストベンチ生成と Verilog シミュレータの統合

SynaptiCAD Inc

セルフ・チェッキンク 型のテストベンチを生成する カスタマイズ可能なテストベンチ生成ツール - 業界初!

設計をワープ・スピードまでに加速

最近の ASIC/FPGA 設計者への調査で、HDL テストベンチの作成、検証に、全設計サイクルの 30%以上を費やされるのが一般的だとわかっています。TestBencher Pro は、グラフィカル入力機能とパラメータ化されたジェネリックなタイミング・ダイアグラムによりテストベンチのコーディングに費やされる時間を、自動生成されるセルフ・チェッキング機能により検証に費やされる時間を、徹底的に削減します。

ひとつのソースから VHDL、Verilog-HDL 両方の

テストベンチを生成 タイミングダイアグ ラムは言語から独立 しているので、 Verilog-HD, VHDL 両方のテストベンチ を生成します。ユー ザはベンチ・スクリ プト(Perl 言語ベー ス)を作成し、タイ ミング・ダイアグラ ムの表わすモデルが HDL シミュレーシ ョンに使われる手順 を決定します。ダイ アグラムはシミュレ ーション動作を条件 に、他のダイアグラ

ムを動作させること

File Egod Edt Dan But Littern Yen Optore 217.0ns 20.00ms (Sins 1100ns Memor SYSCLK -IDEZAddy [n]ADDITESS. īī +AddrDecode CER OEB H ACKE Ϊŧ SAMPLES 2511 DOUS WEB

ができます。他のダイアグラムと並列的にも非同期にも動作させることができます。

タイミング・ダイアグラムの出力信号は、HDL の信号代入 文に変換され、テスト対象のシミュレーション・モデル (MUT)の入力を駆動します。TestBencher のタイミング・ ダイアグラム上の変数は信号の状態値として使われ、変数が 変わる(パラメータ化)ことで、一つのタイミング・ダイア グラムが複数のテストベンチ・ベクタの組が生成されること になります。このことは、バス・トランザクションのような アドレスとデータの値が相互のやりとりで変化をする場合な どのモデル化に強力に役立ちます・ジェネリックなタイミン グ・ダイアグラム。

パラメータ化された信号の MUT からの出力を観察して、 期待値と比較し、その条件チェックのパス、フェイルに応じ る分岐をダイアログから入力します。条件のチェックはターゲット HDL の if-then-else 文として変換されます。シンプルな条件チェックでも、与えられた時間内の信号の値をテストすることが可能です。より高度な条件チェックでは、異なったポイントでの複数の信号の、絡み合う事象の確認や状態 遷移の順序を確認することができます。

HDL コードの生成を完全にコントロール

TestBencher Pro は HDL 出力をカスタマイズできる唯一のテストベンチ・ジェネレータです。他のテストベンチジェネレータでは HDL コードの直接変更のみが可能 (もちろん、TestBencher Pro でもそのようなことは可能)ですが、HDLコードの直接入力には2つの大きな弱点があります。 - (1)コードが選択した HDL に固有である。 そして、(2) 個々の多くの断片的な HDL コードを、いつも手で入力しな

くてはならない。

TestBencher Pro のユーザは、HDL コードの生成ルーチンに直接アクセスすることが可能なので、ユーザ独自の要求を満たすように作成したルーチン(または、TestBencher Pro のルーチンの修正)を、HDL コード生成ルーチンに加えることが可能です。VHDLと Verilogに対して、Perl 言語で記述された、別々のコード・ゼネレーション・ルーチンがは用意されているので、言語固有なカスタマイズが可能です。

CEB <- '1';

WEB <- '1';

WEB <- '1';

WEB <- '1';

WEB <- '1';

WAIT for 284976 ps;

ORB <- '0';

WAIT for 284976 ps;

ORB <- '0';

WAIT for 28284 ps;

ADDFESS <- addr.;

WAIT for 4000 ps;

CEB <- 'X;

WAIT for 1500 ps;

(CEB <- 'V;

WAIT for 1500 ps;

if (ACKB /- '1') then --sample3-1

assert FALSE
report 'Bad state-ACKB /- '1'

serventy WARNING;

end if of 5000 ps;

if (DBUS /- data) then --sample1

assert FALSE
report 'Bad state: DBUS /- data'

seventy WARNING;

end if;

wait for 10000 ps;

if (ACKB /- 'V) then --sample3-2

assert FALSE
report 'Bad state: ACKB /- '0'

seventy WARNING;

end if;

wait for 10000 ps;

TestBencher Proのカスタマイズ性のもう一つの長所は、

タイミング・ダイアグラムに入力された値とダイアグラムに対して生成された HDL コードの間のカスタム・マッピングを特定できるようにカスタマイズ可能なことです。たとえば、カスタム・マッピングはタイミング・ダイアグラム中のマイクロプロセッサの命令名をテストベンチの HDL にオペコードを割り当てる時などに使うことができるでしょう。

TestBencher Pro はWaveFormer Pro の上位互換商品です。 WaveFormer Pro の全機能に、セルフ・チェッキング型のテストベン チの生成機能と Verilog シミュレーション機能を加えたものです。

Verilog シミュレーションは VeriLogger Pro をご参照下さい。

(有)インターリンク

231-0048 横浜市中区蓬莱町 2-6-2 208 TEL: 045-262-3960 / FAX: 045-262-3965 e-mail: support@ilink.co.jp / sales@ilink.co.jp http://www.ilink.co.jp