
仮想プロトタイプとシミュレーションによる
ハードウェア検証の新しいテクニック



(目的)

- EDAツールと伝統的なテスト/計測機器の上手な組み合わせは相乗効果を生み、設計、ハードウェア検証ともに、効率を大いに改善する事を知る
- シミュレーションは、設計時に役立つだけでなく、ハードウェア・デバッグにも、パターンジェネレータと合わさればサブシステムのプロトタイピングにも役立つことを知る

(目標)

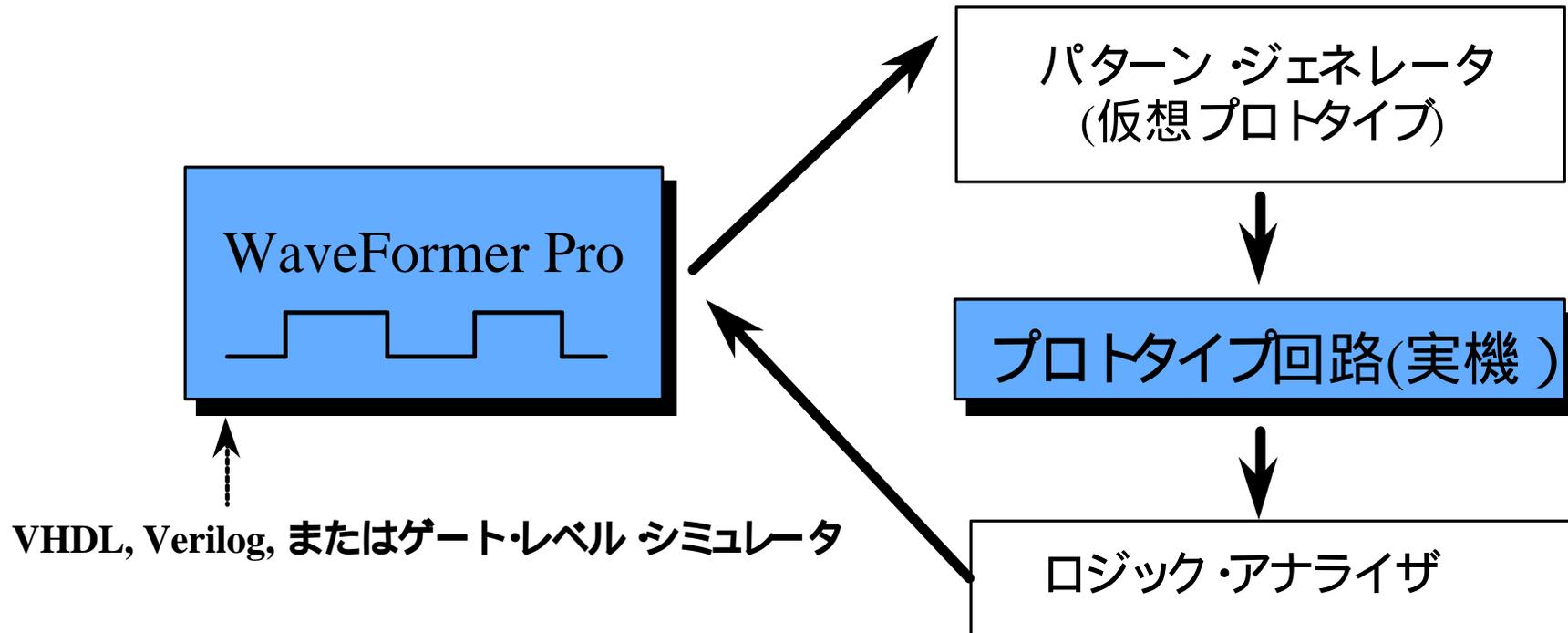
- ハードウェア・テスト、検証における共通する問題の把握
- これらの問題の解決に対する、仮想プロトタイプ技法の有効性の確認
- ハードウェアの検証にシミュレーション結果を役立てる
- ハードウェア・エラーの検証にシミュレーション環境を活用

ハードウェア・テストとシミュレーション検証における 共通の問題

- 設計途中でのサブシステムのテスト方法
- 再現性に乏しいタイミング・エラーの見逃し
- 内部ノード信号の観察の難しさ
- 面倒なテストのためのハードウェア・セットアップ
- テスト環境の変更と整備の難しさ

仮想プロトタイピングとは？

ハードウェア・テスト環境に、サブシステムと同一の信号を出力するようにプログラムされたパターン・ジェネレータを置き、サブシステムと置き換え、テスト対象のサブシステム (プロトタイプ回路) と接続します。



仮想プロトタイプを使用する利点

- 早期にサブシステムをテストすることができる。
- 独立したサブシステムにおける早期バグ発見。
- 仮想プロトタイプは容易に修正可能。
- サブシステムの実行速度を容易に見積れる。

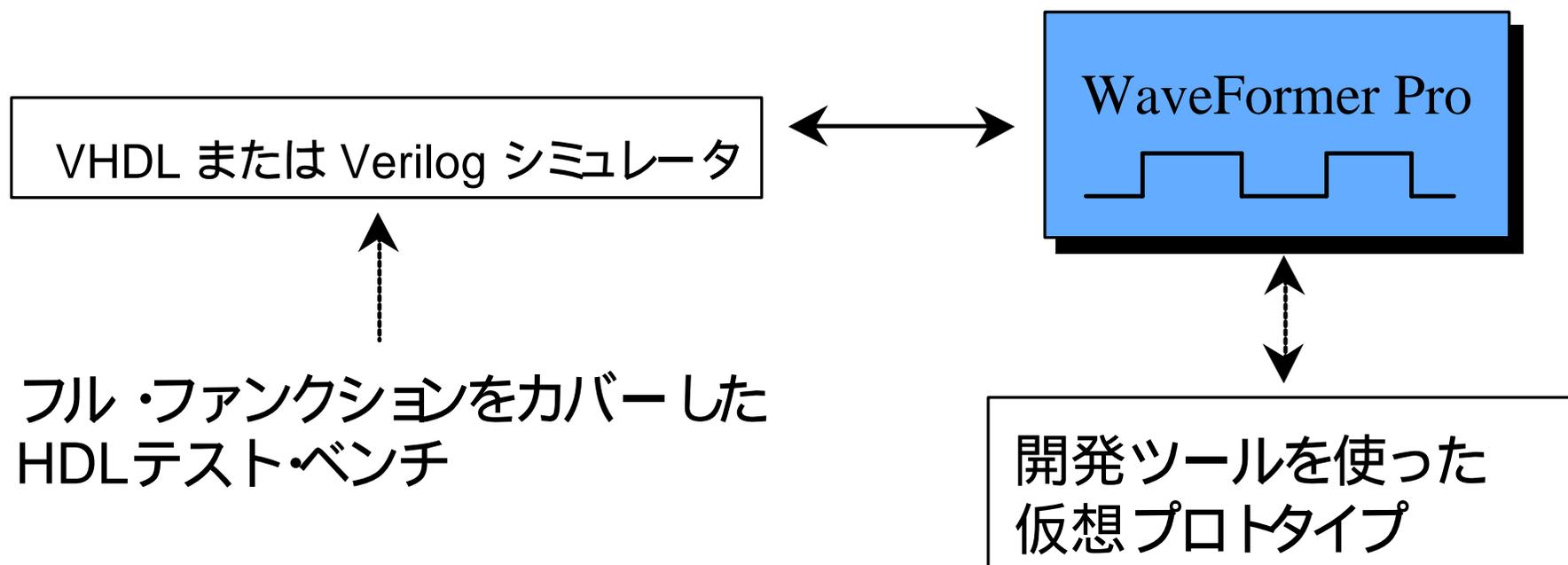
複雑なサブシステムに仮想プロトタイピングを適応

- 1) 仮想プロトタイプは、シミュレーション結果にもとづいた正確なステイミュラス出力を生成します。
- 2) テストベクタを使って、システム検証を十分にできるようにパターンジェネレータのプログラミングをすることができます。
- 3) 加えたステイミュラスの応答により、テスト対象サブシステムの仕様を十分に検証することができます。

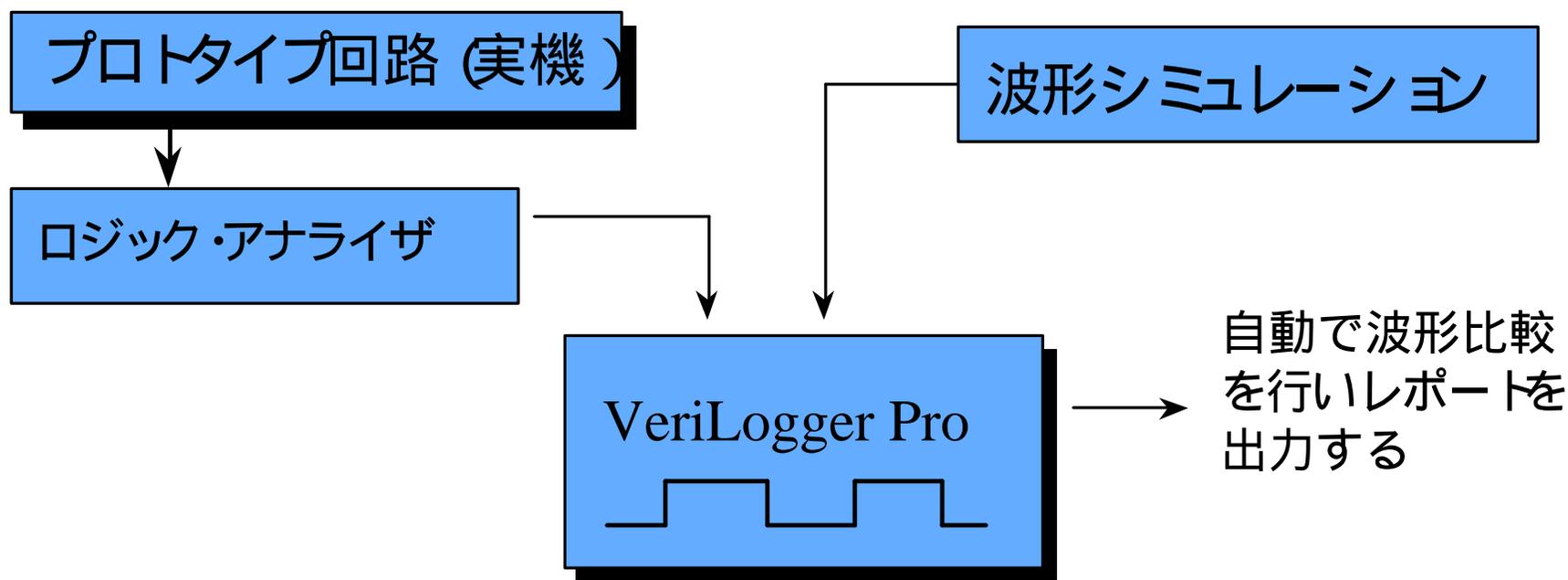


SynaptiCAD ソリューション: (2) テストベクタ・カバレッジ

プロトタイプ回路 (実機) のフル・ファンクションをカバーする
シミュレーション・テスト・ベクタを用意。



SynaptiCAD ソリューション: (3) 実機出力の検証



利益: シミュレーション環境の出力と実機出力とを効率的に比較する事により、検証期間を短縮させる事ができます。また、より厳しくシステムを検証することができます。

自動波形比較 VS. 従来の目視確認による波形比較

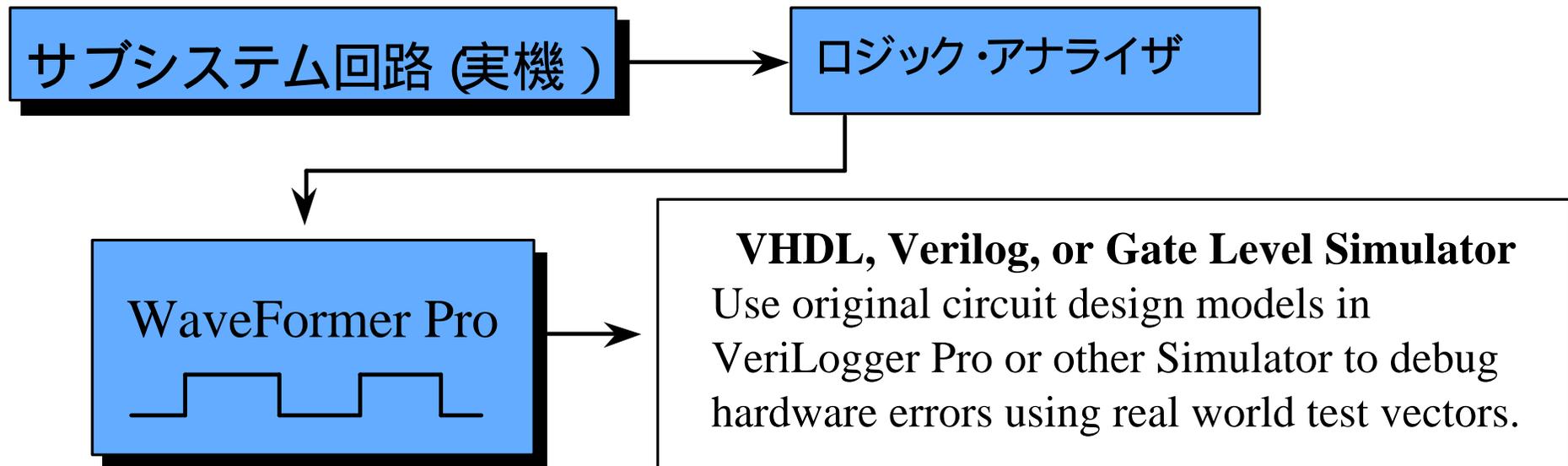
- 1) 目視確認による波形比較に比べ、自動波形比較は圧倒的な検証時間短縮をとりります。
- 2) 目視確認には人的ミスが潜みます。
- 3) 自動波形比較では、目視確認で確認できないタイミング・エラーを発見できます。

シミュレーション環境を使った ハードウェア・エラーの発見

- エラー仮説をシミュレーション・モデルに導入
* 「こうすればエラーに」、「エラーが再現」などの論理を
- 新しいシミュレーションモデルの波形を実機の波形と
エラー診断の為に比較
- 多数の複雑なエラーには、それぞれのエラーをそれぞれの
モデルで比較し、再現と解決の繰り返しで、一步一步解決

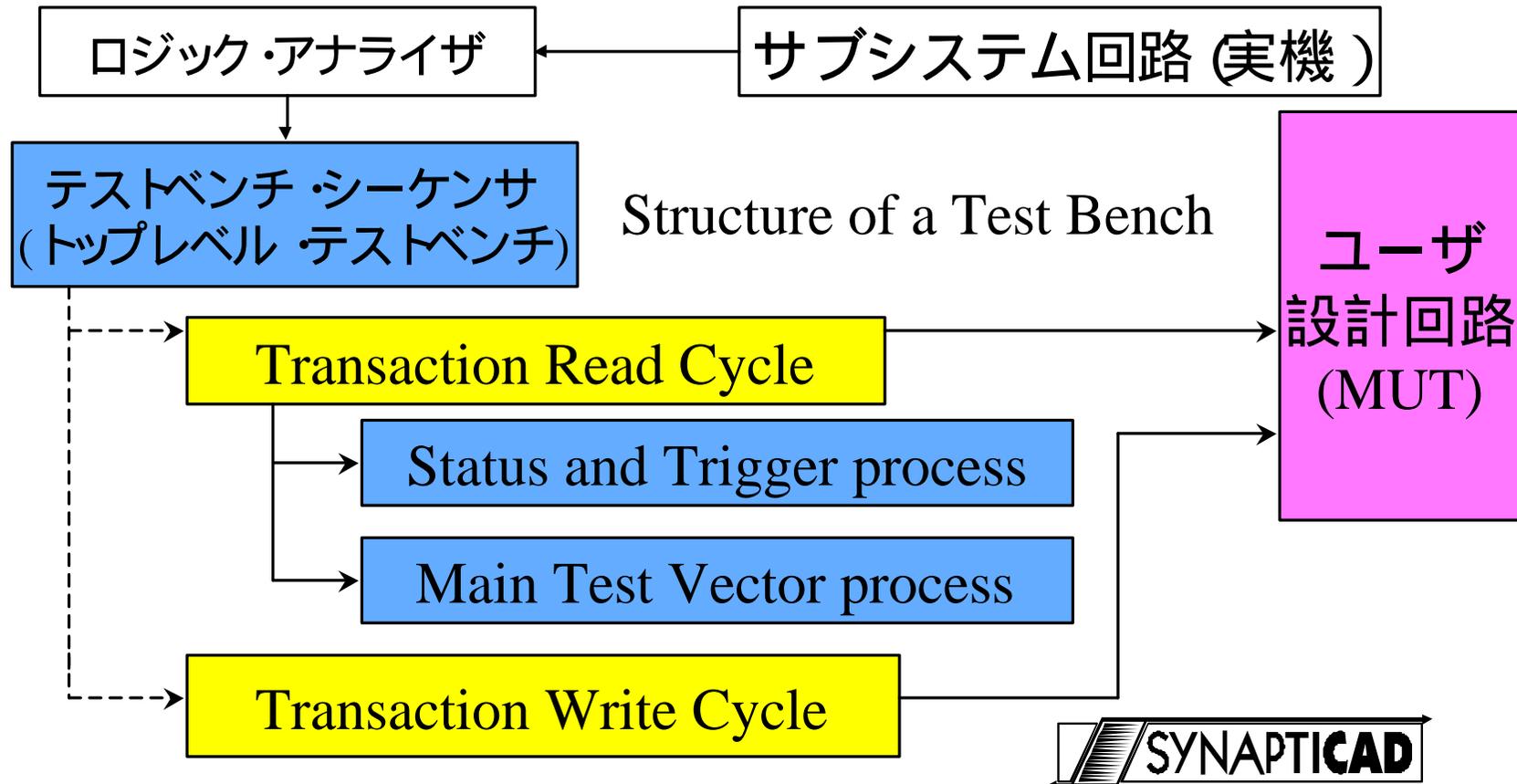
他のテクニック: ステイミュラスの生成

ロジックアナライザで波形を取り込み、取り込んだ波形をシミュレーションモデルのテスト・ステイミュラスに使用することが出来る。



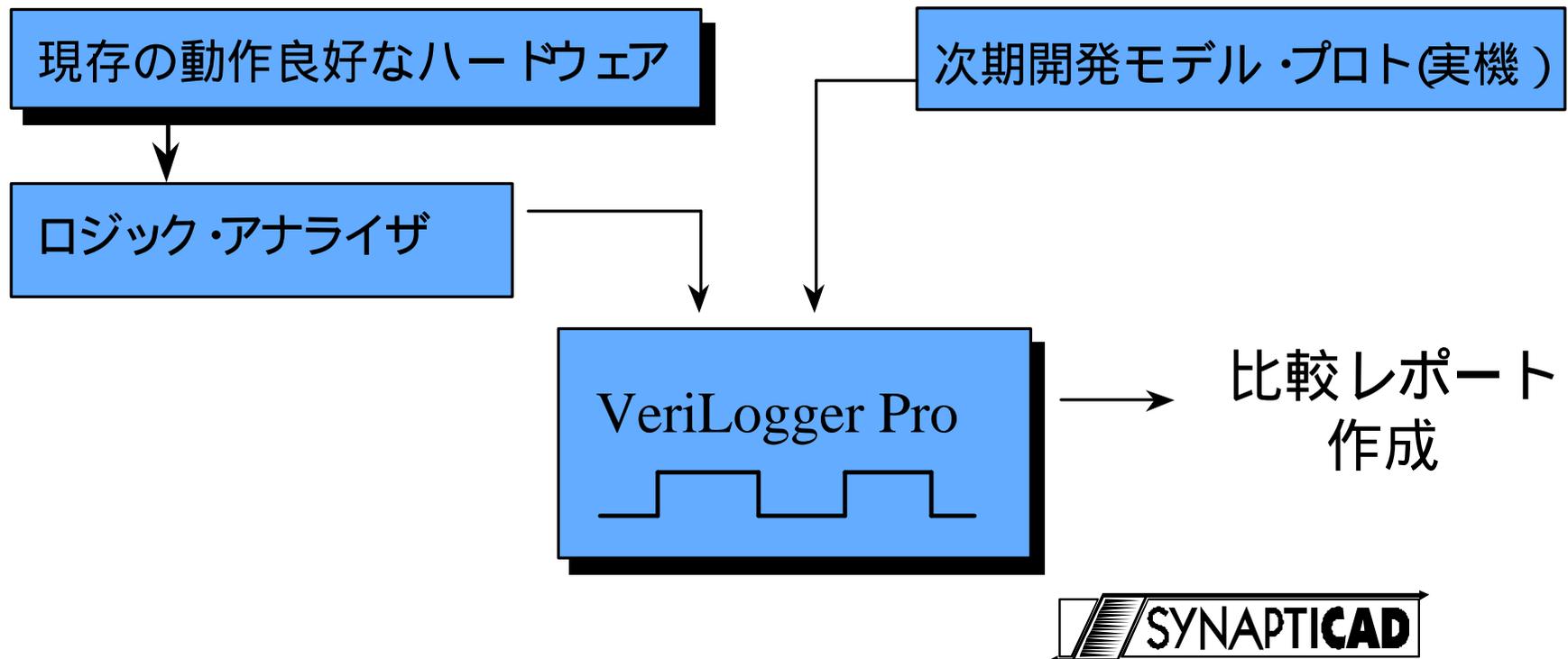
他のテクニック: バス・ファンクション・モデルの生成

ロジック・アナライザで取り込んだ波形を、バス・ファンクション・シミュレーション・モデルに使用する事が出来る。

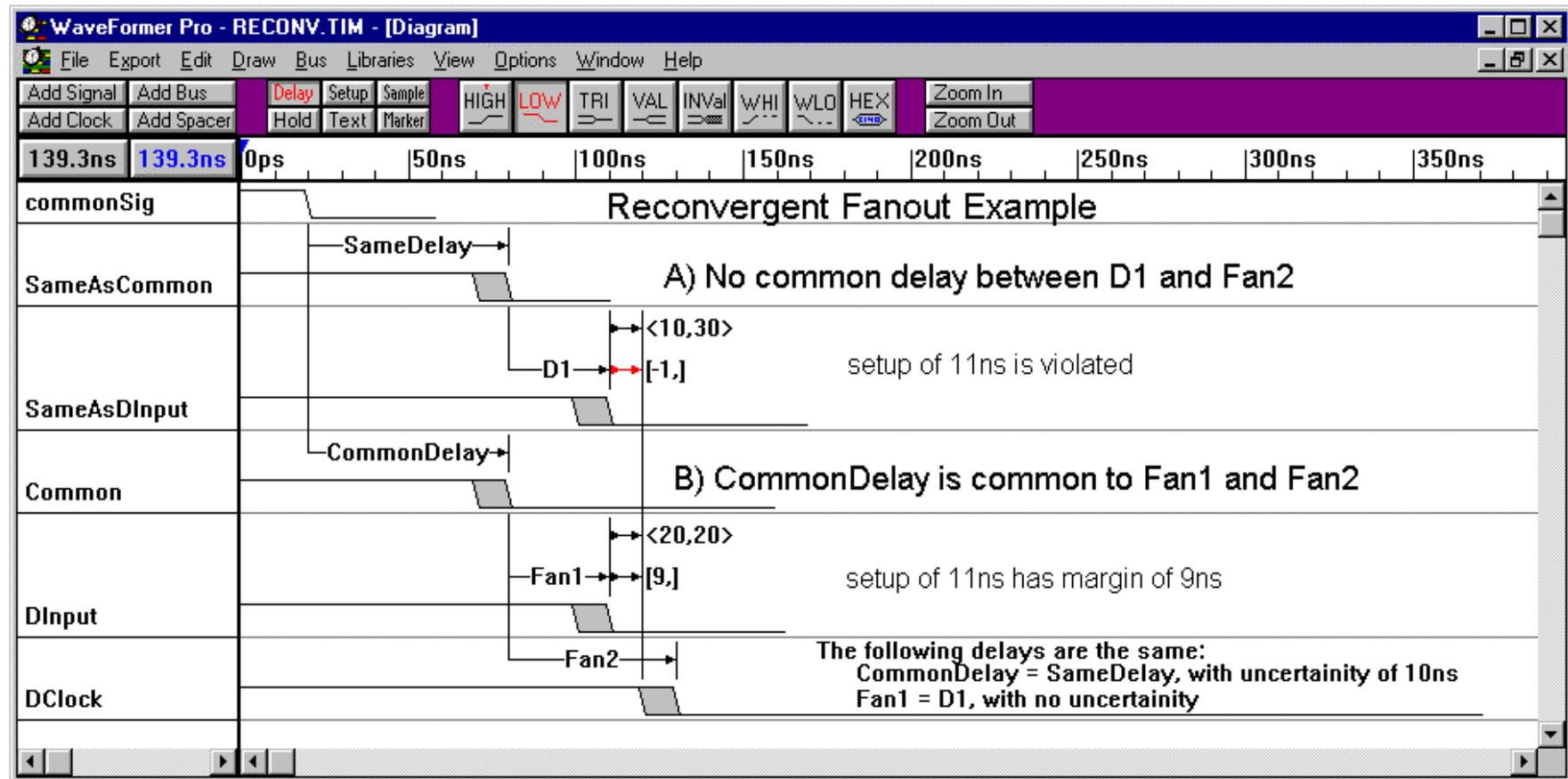


他のテクニック: インタフェース機能検証

既存のハードウェア・モデルと次期開発モデルとを波形
上で機能比較する



効果的なトキキュメント作成

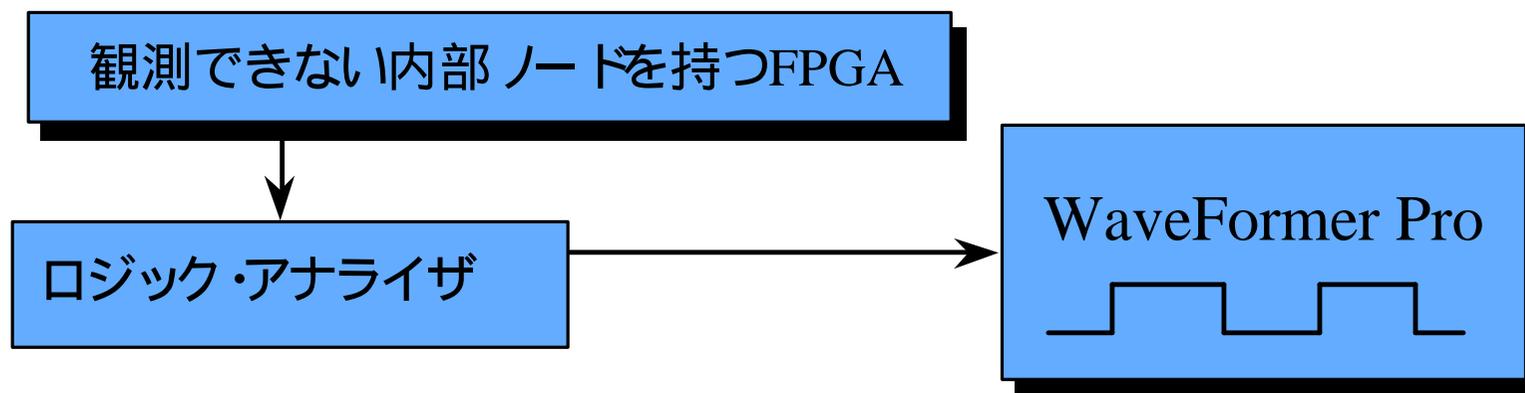


他のテクニック: 連続する信号の 一括セットアップ / ホールド・タイミングチェック

- セットアップやホールド・タイミング違反は効率良くチェックする必要がある。
 - * 長時間連続する信号中から再現性に乏しいタイミング・エラーの発見
- WaveFormerはユーザ指定のタイミング制約条件をもとに、毎サイクルのクロック・エッジでタイミングを自動チェックし、レポートファイルを生成する。

他のテクニック:内部信号の可視化

内部ノード信号のふるまいを推定することは、ハードウェア・トラブルを解決する大きな手助けとなる



FPGAやCPLDで使われているレジスタド・ロジック式をWaveFormer Proのインタラクティブ・シミュレーション機能でシミュレーションすることで実現

製品取り扱い

? SynaptiCAD Inc. — www.syncad.com
(有)インターリンク — www.ilink.co.jp

WaveFormer Pro :

HPパターン・ジェネレータ及びHPロジック・アナライザとの間でインポート、エクスポートできるテスト・ベクタの種類は、VHDL、Verilog、SPICE、他43ものフォーマットをサポート

VeriLogger Pro (WaveFormer Pro + VeriLogシミュレータ機能) :
WaveFormerの機能に加え、自動波形比較機能を装備

TestBencher Pro (VeriLogger Pro + 高度テストベンチ生成) :
タイミング・ダイヤグラムからVHDLやVerilogのバス・ファンクション・モデルを作成



仮想プロト活用の手順

- シミュレーション波形の保存
- シミュレーション波形の入力部をパターンジェネレータのフォーマットに変換して、パターンジェネレータに送る
- パターンジェネレータの出力をテスト対象 (実機) に印加
- 実機の出力をロジックアナライザでサンプリング
- 実機の出力とシミュレーションの出力部の比較
- エラーや問題のモデル (モジュール) の同定

結論 — 開発プロセスは切迫している！

- 分離した4つの開発プロセスから、ひとつの設計サイクルに
- シミュレーション結果と実機波形との比較はハードウェア検証を簡略化する
- シミュレーションと実機検証との環境をリンクすることでハードウェアのデバックが容易に
- 仮想プロトタイピングを使用する事で、より強固で、より柔軟性のあるテスト環境を築ける

