

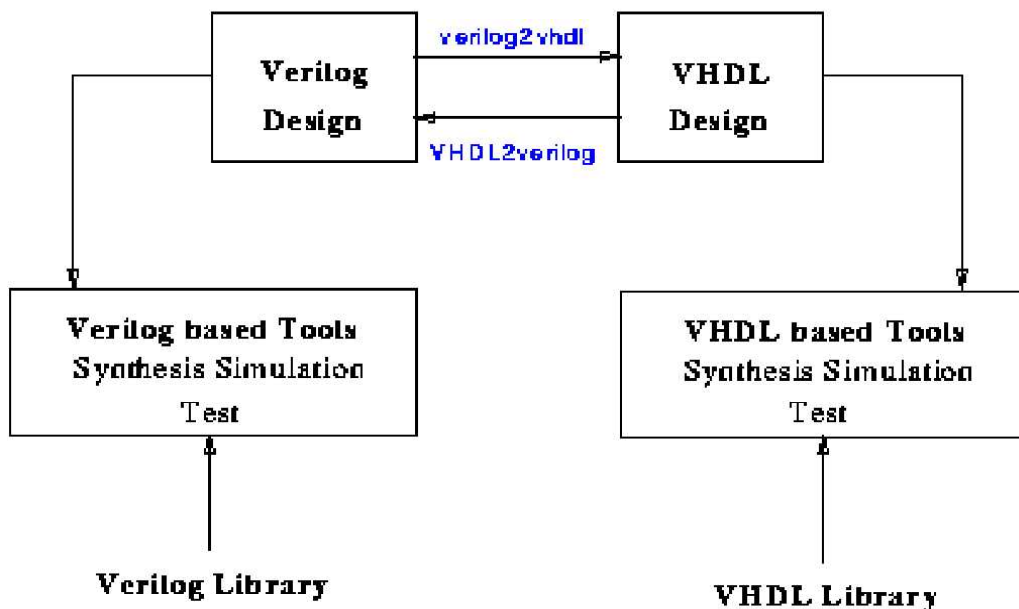
# V2V = VHDL2Verilog / Verilog2VHDL

HDL 言語トランスレータ - ビヘービアル、RTL、ストラクチャルどの水準も高度にサポート

## ASC 社(Altanative System Concepts, Inc)の「v2v」の特長

- ✓ 厳格な文法チェックの上、単純な文法上の変換ではなく「機能等価」変換を
- ✓ ほとんどの合成可能構文と、多くの合成可能でない構文もサポート - 業界最高水準
- ✓ 多くの実績 - ASIC 設計の現場と ASIC ベンダーに多くのユーザ
- ✓ サポートされない構文に対しては、変換のガイドラインを出力しながら、極力最後まで変換
- ✓ シミュレーションのためか、合成のためかでの変換の最適化指定が可能
- ✓ インデントでフォーマットされ、コメントを維持した読みやすい出力
- ✓ IEEE1364(Verilog)、IEEE1076-87/93(VHDL)に準拠
- ✓ Verilog-HDL、VHDL 相互変換が可能 (商品 : VHDL2Verilog と Verilog2vhdl)
- ✓ 広い動作環境 - Solaris、HP-UX、Windows

## Dual HDL Environment



# V2V – VHDL-Verilog インターオペラビリティの実現

現在の設計環境では言語を統一するのは困難で、しばしば相互に変換の必要性が出てきます。たとえ、両言語を完全にマスターしても、変換は時間のかかる大変な作業であり人手でやる限り間違えは避けられません。V2V は高品質な変換を瞬時に提供し快適なインターオペラビリティを実現します。

## –パイリンガル環境の要求の増大

今までは Verilog か VHDL かどちらかの言語環境での設計に専念することも無理ではありませんでしたが、IP などを多用しての設計環境への移行に伴い、他の言語と合わせての設計環境が必須になって来ています。これにより、VHDL-Verilog インターオペラビリティをサポートするツールが強く求められています。V2V によりインターオペラビリティ(パイリンガル)は容易に実現します。

## V2V の用途 –

### 1) 過去の資産の活用：

「自分の設計は VHDL だがマージする過去の設計資産は Verilog」などの例が、しばしばあります。

### 2) IP の活用：

「自分の設計は VHDL だが、マージする IP は Verilog」などの例がしばしば起こります。

### 3) ライブラリ開発言語の一元化：

両言語環境へライブラリを供給し、管理をどちらかの言語に一元化したい場合などにもインターオペラビリティは必須です。

### 4) ツールの制限：

多くのツールは片方の言語のみのサポートです。V2V によりこの制限を取り払えます。V2V はどちらかの言語に統一してシミュレーション – 論理合成 – テストの環境を築くために必須のツールです。

`verilog2vhdl` : Verilog → VHDL

`VHDL2verilog` : VHD → Verilog

### 5) ASIC ベンダーの制限：

FPGA プロトタイプは VHDL で、ASIC では Verilog でという例は多くあります。

## – ユーザに残された仕事は？

プッシュボタンを押すだけで、ユーザは全く関わらないう事なく、どんな場合にも完全な Verilog $\leftrightarrow$ VHDL 変換が実現するというのは、現在では未だ神話に過ぎません。ユーザは変換を完全なものにするため必要に応じて出力されたコードを編集する必要があります。出力ソース上に、変換されなかった該当構文は残され、それに**変換のガイドラインのコメント**が挿入されます。コメントに従い容易に変更を加えることができます。

\* RTL で運用する限りあまり手作業は必要ありません。

## InterLink (有) インターリンク

231-0023 横浜市中区山下町 252 グランベル横浜 9F  
TEL:045-663-5940 FAX:045-663-5945  
ilink\_sales@ilink.co.jp <http://www.ilink.co.jp>